

SD NAND 存储功能描述 (22) Timing Values

Timing Values

Parameter	Min.	Max.	Unit	Remark
N_{CR}	2	64	clock cycles	Period between an end bit of command and a start bit of response except CMD2 and ACMD41.
N_{ID}	5	5	clock cycles	Period between an end bit of command and a start bit of response for CMD2 and ACMD41.
N_{AC}¹	2	-	clock cycles	Period between an end bit of command and a start bit of read data, and period between data blocks.
N_{RC}	8	-	clock cycles	Period between an end bit of response and a start bit of next command.
N_{CC}	8	-	clock cycles	Period between an end bit of command (CMD0, CMD4, CMD7 de-select) and a start bit of next command.
N_{WR}	2	-	clock cycles	Period between an end bit of response and a start bit of write data or period between an end bit of CRC status and a start bit of next write data.
N_{SD}	2	2	clock cycles	Period of stop driving DAT line from the end bit of CMD12 in a multiple block read operation. (Figure 4-30)
N_{SB}	1	1	clock cycles	Period between an end bit of CMD12 and a start bit of busy during a multiple write block operation. N _{SB} takes three kinds of values depending on DAT line conditions. If the card is driving DAT, N _{SB} can be 1 (Figure 4-34). If the card is receiving DAT, N _{SB} = 4; 2-clock for the host stops driving DAT, ZZ for turn around cycle (Figure 4-33). In the other cases, N _{SB} =2 (Figure 4-36).
	2	2		
	4	4		

Timing Values (Except SDR50 and SDR104)

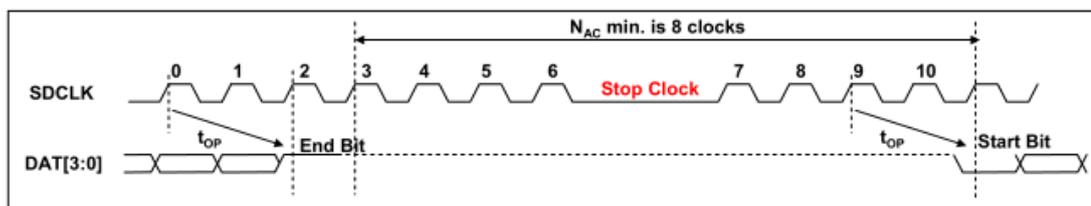
- 1) The maximum read access time for a Standard Capacity SD Memory Card shall be calculated by host as follows:
 $N_{ac(max)} = 100 ((TAAC * f_{pp}) + (100 * NSAC))$;
 f_{pp} is the interface clock rate and TAAC & NSAC are given in the CSD (Chapter 5.3).
 Details of read, write, and erase timeouts are described in 4.6.2
 In the case of SDHC and SDXC, a fixed value (100 ms) shall be used for the maximum read access time.

块读取 Gap

在读取操作过程中，由于主机缓冲区已满，主机需要通过停止 SDCLK 来停止从卡中读取数据的输出。考虑到使用采样时钟调优方法，主机需要在块间隙停止 SDCLK，而不是在数据传输过程中停止 SDCLK。

由于数据的变化，DAT[3:0]应该被认为是与 SDCLK 异步的。因此，通过检测数据块的结束位来停止 SDCLK 需要很少的时钟，因为需要同步。最小块间隙时钟(N_{ac})定义为 8，以便主机可以在卡开始输出下一个数据块之前停止 SDCLK。

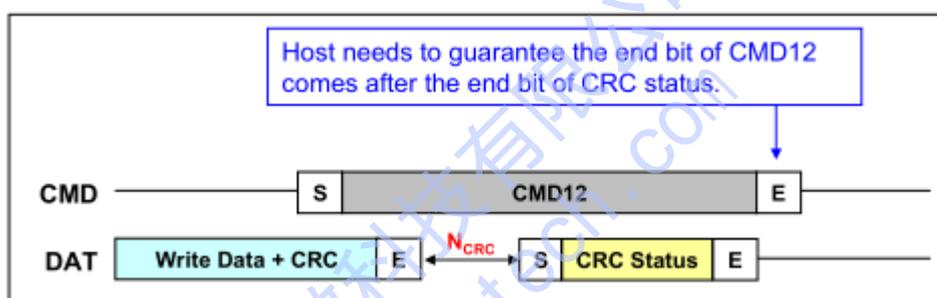
下图给出了在块间隙处停止 SDCLK 的时序示例。它显示了 top 大于 1UI 的情况。时钟位置 0 是触发点，输出数据块的结束位。cardI 开始通过 SDCLK 从时钟位置 0 开始计算内部计数器。SDCLK 上面显示的数字就是这个计数器的值。卡至少要等到时钟 9 才能输出下一个数据块。I 然后主机需要在时钟 9 之前停止 SDCLK。N_{ac(min.)}=8 提供了足够的时间来停止 SDCLK。



Clock Stop Timing at Block Gap in Read Operation

CMD12 写操作定时

修改由于从卡到主机的输出延迟可能超过 1 个时钟，因此需要更改 CMD 和 Data 之间的关系。适用于写操作中 CMD12 与 CRC Status 的关系。珍贵写块写入成功的边界时序如下图所示。主机接收到 CRC Status 结束位后，需要输出 CMD12 结束位。如果 CMD12 发布时间早于下图，则数据块是否写入不确定。将 CMD12 的结束位调整为 CRC 状态需要特定的硬件。主机可以采用另一种方法停止多块写操作，如在接收到最后一个数据块的 CRC 状态后发出 CMD12。



Border Timing of CMD12 in Write Operation

CMD12 读操作定时

修改读操作边界计时如下图所示。最小块间隙长度 N_{ac} 为 8 时钟。CMD12 在时钟 1(数据块结束位之前 2 个时钟)的结束位位于左侧边框，使卡能够成功输出最后一次读取的数据块。如果在此时间之前发出 CMD12，则读取的数据块可能会被销毁(例如，未指示数据块的结束位)。

时钟 8 时 CMD12 的结束位是右侧边界，不输出下一个数据块，这意味着 CMD12 的结束至少在下一个块的开始位之前 3 个时钟。如果在此时间之后发出 CMD12，则可能输出 next 数据的一部分。调整 CMD12 的结束位来读取数据块需要特定的硬件。

主机可以采用另一种方法停止多块读取操作，如在接收到最后一个数据块后发出 CMD12。通过这种方法，下一个数据块可以开始输出并被 CMD12 终止。最后读取的块表示超出范围错误。

